

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-145179  
(43)Date of publication of application : 28.05.1999

(51)Int.Cl.

H01L 21/60

H01L 23/60

(21)Application number : 09-308568  
(22)Date of filing : 11.11.1997

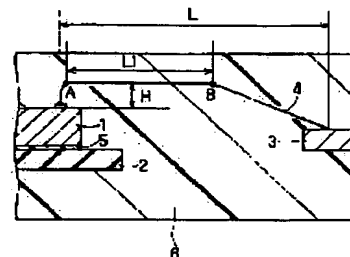
(71)Applicant : MATSUSHITA ELECTRON CORP  
(72)Inventor : UCHIDA HIDEO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent wire deformation after the wire connection or the short circuit of the adjacent wires by allowing a wire connecting a semiconductor chip with a lead part to have the first bending point (A) at a bending part on the semiconductor chip and the second bending point (B) at the lead part side, and allowing a shape passing through the A point and the B point to have height, which is less than 50  $\mu\text{m}$  against a plane on the semiconductor chip, and to have an almost straight flat part whose length is within a range which is 10% to 60% of the connection length of the wire as viewed from a direction above the semiconductor chip.

SOLUTION: The loop shape of a wire 4 includes an A point at the bending part of the wire 4 on a semiconductor chip 1 and a B point which is a large bending point at a lead part 3 side. The wire 4 between the A point and the B point is less than 50  $\mu\text{m}$  high with respect to a plane including the pattern face of the semiconductor chip 1, and linearly approximated to this. Also, the A point or the B point has the loop shape positioned at height which is set at 80  $\mu\text{m}$ -300  $\mu\text{m}$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa03430DA411145179P1.htm>

01/08/28

Searching PAJ

2/2 ページ

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

2174

①類  
請求項 1.2 22頁

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145179

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.<sup>8</sup>

H01L 21/60

23/50

識別記号

301

F I

H01L 21/60

23/50

301B

301C

S

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平9-308568

(22) 出願日

平成9年(1997)11月11日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 内田 英夫

大阪府高槻市幸町1番1号 松下電子工業株式会社内

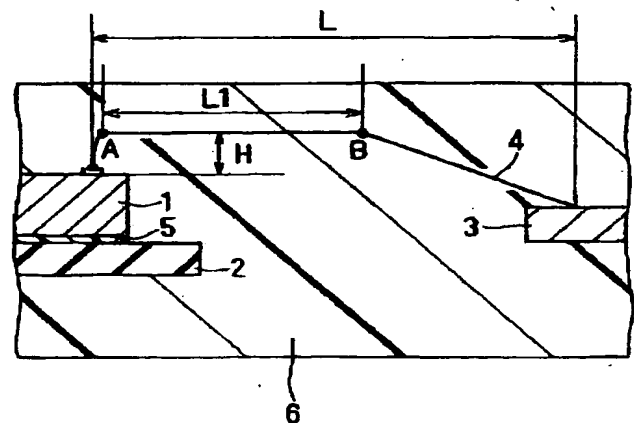
(74) 代理人 弁理士 池内 寛幸 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体チップとリード部を結線するワイヤにおいて、半導体チップ上の屈曲部の第1の屈曲点(A)と、それよりリード部側にある第2の屈曲点(B)を持ち、A点とB点を通る形状が、半導体チップ上平面に対して高低差が $50\mu\text{m}$ 以内であり、ほぼ直線的な平坦部を持ち、この平坦部の長さが半導体チップ上方向から見たワイヤの結線長の10%から60%の長さの範囲であることにより、ワイヤ結線後のワイヤ変形や隣接するワイヤの短絡を防ぐ。

【解決手段】ワイヤ4のループ形状を、半導体チップ1上のワイヤ4の屈曲部のA点と、リード部3側の大きな屈曲点であるB点を含み、半導体チップ1のパターン面を含む平面に対して、A点とB点の間のワイヤ4が、高低差 $50\mu\text{m}$ の範囲にあり、直線的に近似され、A点もしくはB点は $80\mu\sim 300\mu$ の高さに位置するループ形状を持つ半導体装置とする。



## 【特許請求の範囲】

【請求項1】 チップ支持部と、前記チップ支持部上に接着剤を介して接着された半導体チップと、前記半導体チップとリード部を電気的に接続したワイヤを封止して形成されたプラスチックモールド型半導体装置であって、前記ワイヤが前記半導体チップ上の屈曲部の第1の屈曲点と、それよりリード部側にある第2の屈曲点を持ち、前記第1の屈曲点と前記第2の屈曲点を通る形状が、半導体チップ上平面に対して高低差が $50\mu\text{m}$ 以内であり、ほぼ直線的な平坦部を持ち、この平坦部の長さが半導体チップ上方向から見たワイヤの結線長の10%以上60%以下の長さの範囲であることを特徴とする半導体装置。

【請求項2】 前記ワイヤのループ形状において、前記平坦部が前記半導体チップ上平面に対して、高さが $80\mu\text{m}$ ～ $300\mu\text{m}$ 範囲内である請求項1に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、プラスチックモールド型パッケージされた半導体装置において、半導体チップとリード部の結線の改良に関する。さらに詳しくは、前記の結線におけるワイヤ変形や短絡を防止する半導体装置に関する。

## 【0002】

【従来の技術】一般的に、プラスチックモールド型の半導体装置において、半導体チップとリード部をワイヤで結線する際、ループ形状を任意に形成して結線している。図1は従来の半導体装置の一構成例を示す要部拡大断面図である。半導体チップ1とチップ支持部2を接着剤5を用いて一体化し、その半導体チップ上の図示していないパッド（電極）部とリード3をワイヤ4で結線する。そして、前記半導体チップ1とチップ支持部2、ワイヤ4、リード3をモールド樹脂6により封止する。通常、結線は自動ワイヤボンディング装置を用いて行うが、設定された設備条件によってワイヤ4のループ形状が任意に形成される。そのため、ワイヤの結線長が長くなり、太さが細くなったりした時には製造を終了するまでに、ワイヤが変形しやすくなる。

## 【0003】

【発明が解決しようとする課題】上記従来の構成では、結線されたワイヤの機械的強度が十分に確保できないため、製品搬送中には振動や衝撃などで変形を起こしやすく、樹脂で封止する工程では、モールド樹脂の流動によって結線されたワイヤが流れて変形しやすく、またその流動によって隣接するワイヤとの短絡が起きやすくなるという問題があった。

【0004】本発明は、上記従来の問題を解決するもので、結線されたワイヤの強度を保ち変形を起こしにくくするワイヤのループ形状を持った半導体装置を提供する

ことを目的とする。

## 【0005】

【課題を解決するための手段】この目的を達成するために、本発明の半導体装置は、チップ支持部と、前記チップ支持部上に接着剤を介して接着された半導体チップと、前記半導体チップとリード部を電気的に接続したワイヤを封止して形成されたプラスチックモールド型半導体装置において、前記ワイヤが前記半導体チップ上の屈曲部の第1の屈曲点と、それよりリード部側にある第2の屈曲点を持ち、前記第1の屈曲点と前記第2の屈曲点を通る形状が、半導体チップ上平面に対して高低差が $50\mu\text{m}$ 以内であり、ほぼ直線的な平坦部を持ち、この平坦部の長さが半導体チップ上方向から見たワイヤの結線長の10%以上60%以下の長さの範囲であることを特徴とする。

【0006】前記半導体装置においては、ワイヤのループ形状が、前記平坦部が前記半導体チップ上平面に対して、高さが $80\mu\text{m}$ ～ $300\mu\text{m}$ 範囲内であることが好ましい。

【0007】この構成によって、結線したワイヤが振動や樹脂流動に対する強度を強めることができるため、結線されたワイヤの変形を少なくすることができる。

## 【0008】

【発明の実施の形態】以下、本発明の一実施の形態について、図面を参照しながら説明する。図2及び図3は、本発明の一実施の形態におけるプラスチックモールド型半導体装置の要部拡大断面図を示すものである。図2～図3において、1は半導体チップ、2は半導体チップを支持するためのチップ支持部、3は半導体チップとの電気信号を交信するためのリード部、4は半導体チップ1とリード部3を結線するワイヤ、5は半導体チップ1とチップ支持部2を一体化する接着剤で、6はモールド樹脂である。

【0009】本発明の実施の形態においては、半導体チップ1とリード部3を結線するワイヤ4のループ形状が、図2に示されるように半導体チップ1上のワイヤ4の屈曲部の最も高い点をA点（第1の屈曲点）と、それよりリード部3側の大きな屈曲点（変曲点）であるB点（第2の屈曲点）を含み、A点とB点のワイヤ4が半導体チップ1の上平面（パターン面）を含む平面に対して高低差 $50\mu\text{m}$ の範囲でほぼ直線的に近似している平坦部を持つ形状にしたことである。これは図3に示すように半導体チップ1の上平面を含む平面に対して鉛直方向の距離において、もしA点の高さがA'点になった場合A'点とB点の高低差の絶対値が $50\mu\text{m}$ 以内であることであり、Cで示されるように、A点、B点を支点としてワイヤが垂れ下がったり盛り上がった場合に、A点とB点の間の最も低い点がA点、B点それぞれの高さで高低差も $50\mu\text{m}$ 以内となる。

【0010】また図2において、前記ワイヤの第1の屈

曲点(A点)と前記第2の屈曲点(B点)のほぼ直線的な平坦部の長さ(L1)は、半導体チップ上方向から見たワイヤの結線長(L)の10%から60%の長さの範囲である。ワイヤの結線長(L)としてはいかなる長さであっても良いが、とくに、長さ:5mm~7mmのロングワイヤ及び直径:10 $\mu$ m~25 $\mu$ mのワイヤ径のものに有効である。

【0011】また、図2、図3の前記A点、B点は半導体チップ1の上平面を含む平面に対して80 $\mu$ mから300 $\mu$ mの高さH(図2)に位置するのが好ましい。このようなループ形状を持ったワイヤ4を結線した後、

【0012】以上のように、本実施の形態によれば、ワイヤ4において図2のように屈曲点A点、B点をそれぞれ作り、上記平坦部を図2に示された適切な高さである80 $\mu$ mから300 $\mu$ mの高さHに位置させることにより、ワイヤ4全体の機械的強度を向上させ、モールド樹脂の流動抵抗を下げるができる。

【0013】

【発明の効果】以上のように、本発明は、ワイヤが半導体チップ上の屈曲部の第1の屈曲点と、それよりリード部側にある第2の屈曲点を持ち、前記第1の屈曲点と前記第2の屈曲点を通る形状が、半導体チップ上平面に対して高低差が50 $\mu$ m以内であり、ほぼ直線的な平坦部を持ち、この平坦部の長さが半導体チップ上方向から見たワイヤの結線長の10%以上60%以下の長さの範囲であることにより、ワイヤ全体の機械的強度を向上させ、ワイヤ結線から封止するまでの振動や衝撃によるワイヤ変形や隣接するワイヤの短絡を防止できる。また、ワイヤのループ形状において、前記平坦部が前記半導体チップ上平面に対して、高さが80 $\mu$ m~300 $\mu$ m範囲内で設けることにより、さらにワイヤ全体の機械的強度

を向上させ、ワイヤ結線から封止するまでの振動や衝撃によるワイヤ変形や隣接するワイヤの短絡を防止できる。

【0014】また、このループ形状によりモールド樹脂での封止を行うときに、封止金型に注入されるモールド樹脂の流動抵抗を下げることができ、かつ機械的強度も向上することから、ワイヤ変形や隣接するワイヤとの短絡を防止できる。

【0015】本発明によれば、細いワイヤやワイヤ長が長い結線を安定して結線することができ、とくに、長さ:5mm~7mmのロングワイヤ及び直径:10 $\mu$ m~25 $\mu$ mのワイヤ径のものに有効であり、半導体装置の高密度配線を可能とし、製造工程における歩留り向上及び信頼性向上をさせることができる。

【図面の簡単な説明】

【図1】 従来の半導体装置の内部構成図である。

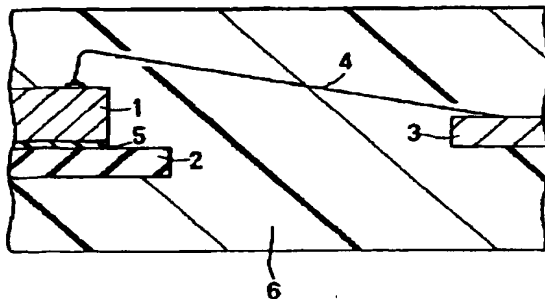
【図2】 本発明における一実施の形態の要部拡大断面図である。

【図3】 本発明における一実施の形態の説明図である。

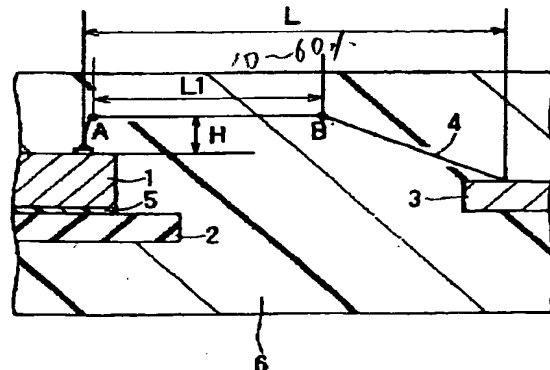
【符号の説明】

- 1 半導体チップ
- 2 チップ支持
- 3 リード部
- 4 ワイヤ
- 5 接着剤
- 6 モールド樹脂
- A、A' 第1の屈曲点
- B 第2の屈曲点
- C ワイヤの垂れ下がり曲線
- H 半導体チップ上面から第1の屈曲点までの高さ
- L ワイヤの結線長
- L1 ワイヤのほぼ直線的な平坦部の長さ

【図1】



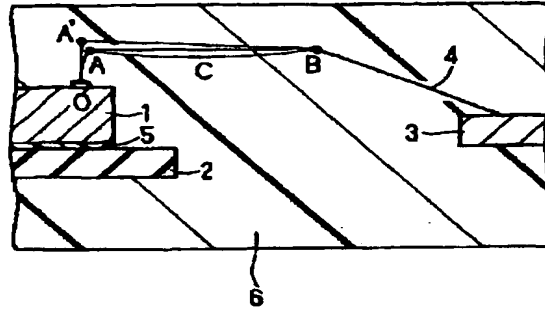
【図2】



(4)

特開平11-145179

【図3】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-094544  
 (43)Date of publication of application : 07.04.1995

(51)Int.Cl.

H01L 21/60

H01L 23/60

(21)Application number : 05-234502  
 (22)Date of filing : 21.09.1993

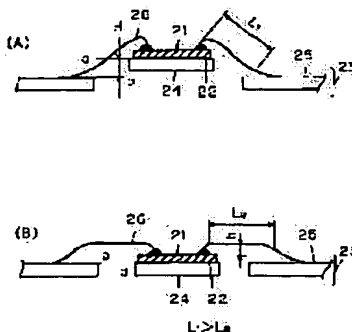
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (72)Inventor : TANI HIDEKI  
 TAKEHASHI NOBUITSU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a method for manufacturing a semiconductor device in which a wire loop can be formed easily without causing any edge touch with a chip or contact between adjacent thin metal wires.

CONSTITUTION: When a lead 25 of a lead frame 23 is connected with an electrode(not shown) formed on a semiconductor chip 21 through a bonding wire(thin metal wire) 26, a die pad 24 mounting the semiconductor chip 21 is temporarily set higher than the lead frame 23 as shown on Fig. (A) and after wire bonding is effected, they are leveled as shown on Fig. (B). Consequently, the semiconductor chip 21 can be connected with the lead 25 without causing oversagging of the bonding wire as shown on Fig. (B) and short circuit of adjacent bonding wires can be prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

<http://www1.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAa03430DA407094544P1.htm>

01/08/28

Searching PAJ

2/2 ページ

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office